

THE METHOD OF INCREASING THE OPERATING FREQUENCY RANGE FOR CASCODE-LEVELLED CONVERTER

R.M. Soghomonyan, A.L. Mnatsakanyan, A.K. Hayrapetyan

National Polytechnic University of Armenia

A new approach is suggested for enhancing the operating frequency of a level converter. The level converter is nonconventional one and the architecture is discussed in details. As the level converter is used in the interfaces between the IC and the outer world, its speed sets the maximum data rate for the system in which the IC may be used. The main concept of using capacitive coupling is to increase the maximum operating frequency of the circuit. By using capacitive coupling between the input and the most sensitive nodes of the circuit, the maximum operating frequency is enhanced up to 480 MHz which is the high speed protocol of USB2. The architecture is stress resistant which means that it can be implemented in the lower technological nodes making it practical for modern applications. The architecture was designed and simulated for 14nm FinFET technological process which is designed by Synopsys Armenia Educational Department. Custom Designer was used as the schematic capture program. The simulations were done using HSPICE circuit simulator. Simulations were performed for worst case corners to ensure proper operation under all possible process, voltage and temperature variations.

Key words: level shifter, level converter, switch, capacitive coupling, USB, USB2, high speed, increase of frequency.

Introduction

The sizes of transistors and supply voltage values in integrated circuits (ICs) have reduced over years by a substantial amount. Although modern transistors have shrunk in sizes to become as small as 5 nanometers, the supply voltages didn't scale down proportionally. This trend created new problems and difficulties for the circuit designers to overcome as the voltages used inside and outside of the chip are too large to be "handled" by the small transistors. New circuit architectures and design methods were developed to keep the functionality of the chips the same as it was before using much smaller transistors. Although the trend in the market is to scale down the transistor sizes to make circuits occupy smaller die area and lower the power consumption, the voltages used to represent information in the parts of the system not occupied by the IC have stayed the same because of various reasons such as standard protocols, historical reasons etc. To connect different parts of the system that use different supply voltages or to be able to process information represented by a voltage bigger than the maximum for a single transistor, a type of circuits, called level shifters are used [1]. These circuits convert their input voltage levels to an permissible value to be processed by the main circuitry. They are inseparable part of the ICs and are placed between the contacts of the chip and the part of the circuit that does the logical processing. As level shifters are placed in the path of the data, their speed is crucial and determines the rate at which the information can be interchanged between different data processing units. Consequently, by increasing the operating speed of the level shifters, the overall speed of the information exchange inside a system or between different systems can be increased, implying bigger volumes of data per unit time.

Existing solutions

The basic level shifter repeats its input on its output, changing only the voltage level used to represent logic one. Its circuit diagram is presented in Fig. 1.

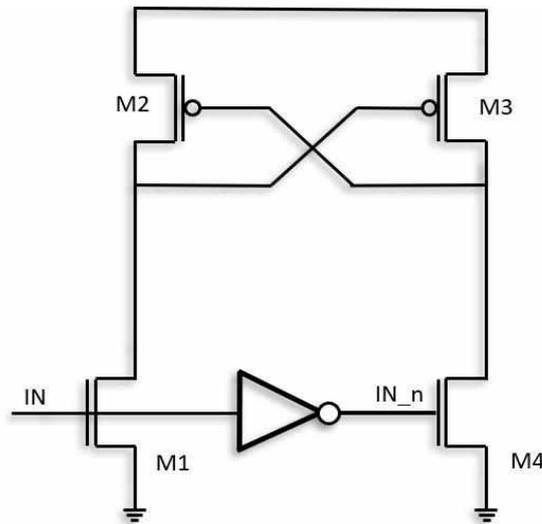


Fig. 1 Basic level shifter

The circuit has two supply levels: vdd_low and vdd_high . The input swings between ground and vdd_low and the output swings from ground to vdd_high . The circuit state for two possible input values, i.e. high and low, will be discussed next which incorporates all the possible cases. When the input is high, M1 is in triode and M4 is in cut-off. M1 pulls its drain to ground and this action opens M3, as the gate of the latter is connected to the drain of M1. As M3 opens, the voltage on its drain rises towards vdd_high , thus closing M2. After some time, the voltage on the output node stabilizes to vdd_high . Thus, high input of vdd_low level causes a high output of vdd_high level.

For the case of low input, the two branches interchange their roles, as the circuit is symmetric and the rest of circuit operation is a mirror reflection of the previous case. This structure has one major issue: the output swings from ground to vdd_high . This means that the four transistors operate under stress because vdd_high may have higher value than the maximum allowable voltage level of a transistor. This issue is most commonly solved by incorporating cascoding method into circuit design.

The cascoded level shifter solves the problem of transistors operating under stress (Fig. 2)[2]. Two additional NMOS devices M7 and M8 protect the drains of M1 and M4 and limit the voltage swings on these nodes to V_{bias} from above [3]. The PMOS devices still have the stress issue in this configuration and if thick oxide devices aren't available, then the cascoding technique can be utilized for them as well.

The topologies described above have maximum operating frequencies of up to 3MHz. Compared to the high speed protocol of USB2 they have two orders of magnitude difference. The suggested architecture enhances the speed of the level converter to be as big as 480MHz and is based on capacitive coupling technique.

Suggested architecture

The schematic capture of the suggested architecture is presented in Fig. 3. It is a level converter that changes the voltage levels used to represent both the high and low logic levels. The suggested method uses capacitive coupling to achieve an increase of operating speed of the level converter. The latter consists of three main parts: the cascoded level shifter, the low level converters and the output buffers.

The circuit receives an input signal that swings from ground to 1,2 V (vdd_{12}) and outputs a signal that swings from 2,2 V (vdd_{22}) to 3,2 V (vdd_{32}). The architecture can be conceptually broken down to three different functional parts.

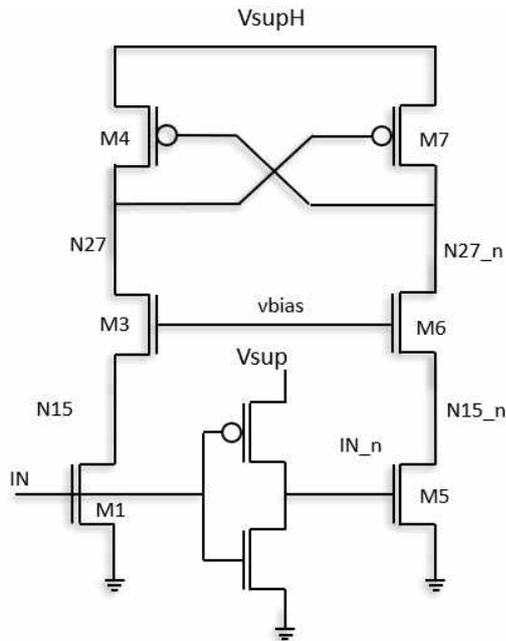


Fig. 2 Cascoded level shifter

The first block, i.e. the cascoded level shifter, shifts the high level voltage value from vdd₁₂ to vdd₃₂. The second block, which is the low level converter, shifts the low logic level voltage from ground to vdd₂₂ and the last stage is an inverter which is added to buffer the output signal. The working principle of each block will be presented next.

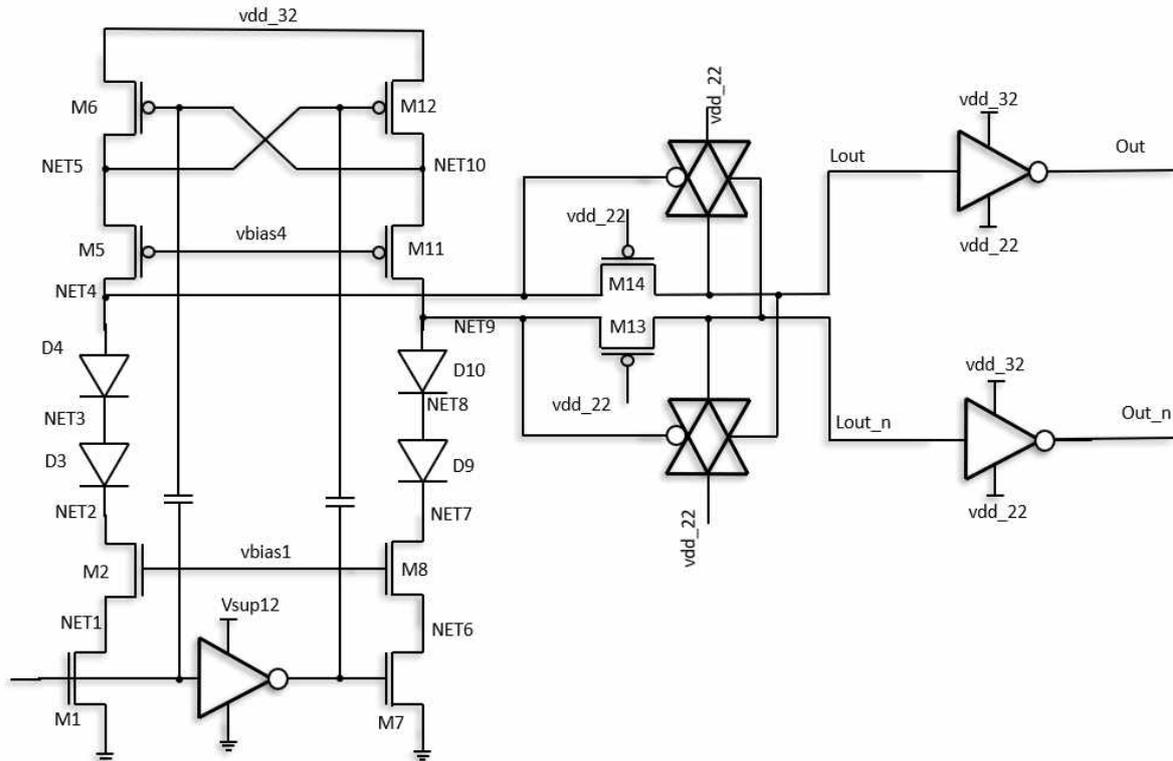


Fig. 3 The proposed architecture

The cascoded level shifter incorporates cascoding technique for both PMOS and NMOS devices. As the supply level of 3.2V is quite high, the cascoding devices themselves must be protected from voltage overswings. The PMOS cascode is protected with M3 and M9. When the input is high, NET2 gets pulled down to ground and D3, D4, D9 and D10 diodes provide a voltage

shift to ensure that neither the NMOS nor the PMOS cascade stack gets damaged when the supply goes up.

The underlying principle of the low level converter operation is to pass its input to output if the former is high, vdd_32 in this case and connect its output to vdd_22, if the input is low.

In the suggested method capacitors are added in parallel to the main signal path and as the input to the circuit is a pulse, it will travel through the capacitors and reach the gates of M6 and M12 before the main signal paths, i.e. cascoded branches settle to their final state [4]. This action will help to pull the nodes NET5 and NET 10 to the appropriate values earlier, causing the outputs to settle faster thus enabling the circuit to operate with higher frequencies.

Simulation Results

In this part the simulation results for the suggested architecture are presented. The level converter was simulated with and without the capacitive coupling method using SAED 14nm transistor models and the resulting waveforms are presented in the following figures.

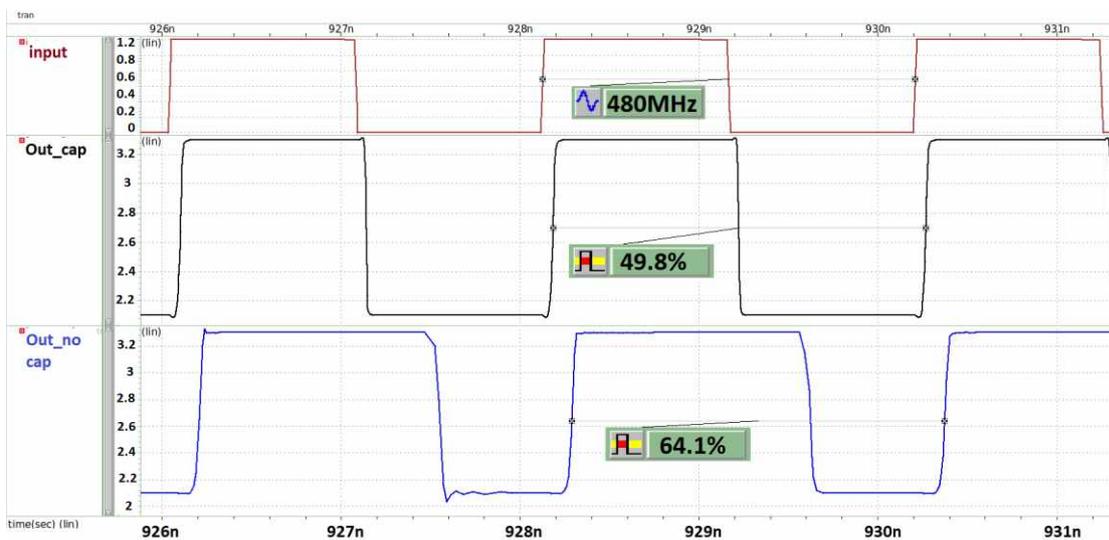


Fig. 4 The input and the outputs of the circuits with (middle) and without (bottom) capacitive coupling for the typical corner

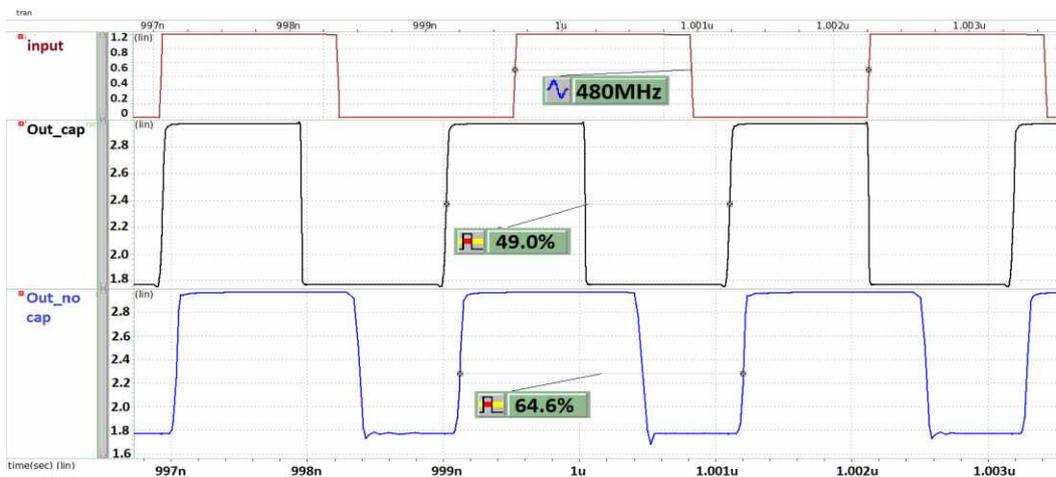


Fig. 5 The input and the outputs of the circuits with (middle) and without (bottom) capacitive coupling for the worst corner

Fig. 4 represents the typical case of input and output waveforms. Fig. 5 represents the input and outputs for the worst corner. Both cases were simulated for a 480MHz input. As can be seen in

the waveforms, the output for the circuit with capacitive coupling has a constant duty cycle while the same output for the circuit without the capacitive has intolerably high duty cycle even for the typical case.

Conclusion

Cascoded level converter architectures with and without capacitive coupling were simulated and compared. The suggested method of capacitive coupling greatly improves the circuit performance for higher frequencies, 480MHz in this case which corresponds to high speed protocol of USB2[5].

References

1. Ebrahimi, E., Possignolo, R. T., & Renau, J. (2017, May). Level shifter design for voltage stacking. In 2017 IEEE International Symposium on Circuits and Systems (ISCAS), p. 1-4.
- IEEE.Aoki H., Kobayashi H. Self-Heat Characterizations and Modeling of Multifinger MOSFETs for RF-CMOS Applications // IEEE Transactions on Electron Devices, 2015, p. 2704-2709.
2. Razavi B., Design of Analog CMOS Integrated Circuits, 2017, New York, NY, McGraw-Hill, p. 83-90.
3. Razavi B., Design of Analog CMOS Integrated Circuits, 2017, New York, NY: McGraw-Hill, p. 160-166.
4. Westerlund, S., & Ekstam, L. (1994). Capacitor theory. IEEE Transactions on Dielectrics and Electrical Insulation, 1(5), p. 826-839.
5. Universal Serial Bus Specification Revision 2.0, 2000

ՀՏԴ- 621.382.13

ԱՇԽԱՏԱՆՔԱՅԻՆ ՀԱՃԱԽՈՒԹՅԱՆ ՄԵԾԱՑՈՒՄԸ ՈՒՆԱԿԱՅԻՆ ԿԱՊԻ ՄԻՋՈՑՈՎ ԿԱՍԿՈՂԱՑՎԱԾ ՄԱԿԱՐԴԱԿՆԵՐԻ ՁԵՎԱՓՈՒՏԻՉՈՒՄ

Ռ.Մ. Սողոմոնյան, Ա.Լ. Մնացականյան, Ա.Կ. Հայրապետյան
Հայաստանի ազգային պոլիտեխնիկական համալսարան

Առաջարկվում է մակարդակների ձևափոխիչի աշխատանքային հաճախության մեծացման նոր մեթոդ: Մակարդակների ձևափոխիչը ստանդարդ տիպի չէ և կառուցվածքը տեքստում մանրամասն քննարկվում է: Քանի որ մակարդակների ձևափոխիչը օգտագործվում է ԻՍ-ի և արտաքին աշխարհի ինտերֆեյսում, դրա արագագործությունը որոշում է այն համակարգի առավելագույն արագագործությունը, որտեղ օգտագործվում է ԻՍ-ը: Գլխավոր գաղափարը ունակային կապի օգտագործումն է՝ սխեմայի առավելագույն աշխատանքային հաճախությունը մեծացնելու համար: Մուտքի և առավել զգայուն հանգույցների միջև ունակային կապ կիրառելով՝ առավելագույն աշխատանքային հաճախությունը հասցվում է մինչև 480 ՄՀց, որը համապատասխանում է USB2-ի high speed արագությանը: Կառուցվածքը ստրեսակայուն է, ինչը նշանակում է որ այն կարող է օգտագործվել է ցածր տեխնոլոգիական հանգույցներում՝ կառուցվածքը դարձնելով պրակտիկ ժամանակակից կիրառությունների համար: Կառուցվածքը նախագծվել և սիմուլացվել է 14նմ FinFET տեխնոլոգիական պրոցեսի համար, որը նախագծվել է Սինոփսիս Արմենիա Ուսումնական Դեպարտամենտի կողմից: Որպես սխեմայի գրաֆիկական ներկայացման ծրագիր՝ օգտագործվել է Custom Designer-ը: Սիմուլյացիաները կատարվել են HSPICE սիմուլյատորի օգնությամբ: Սիմուլյացիաները կատարվել են վատագույն շեղումների

դեպքերի համար՝ ապահովելու համար սխեմայի աշխատունակությունը բոլոր հնարավոր գործընթացի, լարման և ջերմաստիճանի շեղումների համար:

Բանալի բառեր. Տրամաբանական մակարդակների ձևափոխիչ, բանալի, ունակային կապ, USB, USB2, high speed, հաճախության մեծացում:

УДК - 621.382.13

ПОВЫШЕНИЕ РАБОЧЕЙ ЧАСТОТЫ КАСКОДИРОВАННОГО ПРЕОБРАЗОВАТЕЛЯ УРОВНЕЙ МЕТОДОМ ЁМКОСТНОЙ СВЯЗИ

Р.М. Согомонян, А.Л. Мнацаканян, А.К. Айрапетян

Национальный политехнический университет Армении

Предлагается новый метод для повышения рабочей частоты преобразователя уровней. Преобразователь уровней не стандартный и архитектура детально обсуждена. Так как преобразователь уровней применяется в интерфейсах между ИС и внешним миром, его скорость определяет максимальную скорость передачи данных в системе, где применяется ИС. Главная идея применение ёмкостной связи для повышения максимальной рабочей частоты схемы. Использование ёмкостной связи между входом и наиболее чувствительными узлами, максимальная рабочая частота повышается до 480 МГц, что соответствует high speed протоколу USB2. Архитектура стрессоустойчива, что значит что она может быть реализована в низких технологических узлах, делая её практичной для современных применений. Архитектура была спроектирована и смоделирована для 14нм FinFET технологического процесса, разработанного Синописис Армения Учебным Департаментом. Для графического дизайна схемы был использован Custom Designer. Симуляции были сделаны с помощью HSPICE симулятора. Симуляции были выполнены для худших отклонений чтобы обеспечить работоспособность для всех вариаций процесса, напряжения и температуры.

Ключевые слова: Преобразователь логических уровней, ключ, ёмкостная связь, USB, USB2, high speed, повышение частоты.

Ներկայացվել է՝ 14.04.2020թ.

Գրախոսման է ուղարկվել՝ 14.04.2020թ.

Երաշխավորվել է տպագրության՝ 26.05.2020թ.